

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

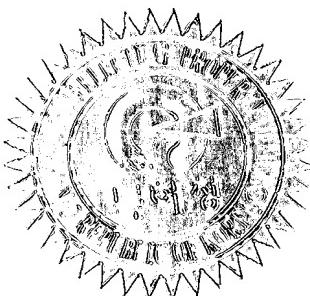
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0058250
Application Number

출원년월일 : 2002년 09월 25일
Date of Application SEP 25, 2002

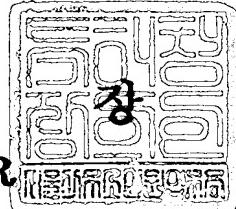
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 21 일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.09.25
【발명의 명칭】	반도체 장치의 입출력 회로
【발명의 영문명칭】	Input and output circuit of semiconductor device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	신순균
【성명의 영문표기】	SHIN, SOON KYUN
【주민등록번호】	720420-1892836
【우편번호】	463-050
【주소】	경기도 성남시 분당구 서현동 효자촌 동아아파트 212동 901호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정 에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	18 면 18,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	24 항 877,000 원
【합계】	924,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 장치의 입출력 회로를 공개한다. 그 회로는 전원전압과 패드사이에 직렬 연결된 제1 및 제2풀업 트랜지스터들과 패드와 접지전압사이에 직렬 연결된 제1 및 제2풀다운 트랜지스터들, 출력 인에이블 신호가 인에이블 상태이면 패드를 풀 업/다운 하고, 출력 인에이블 신호가 디스에이블 상태이면 제1 및 제2풀업 트랜지스터들과 제1 및 제2풀다운 트랜지스터들을 오프하는 프리 드라이버, 및 파워 온 및 오프시에 패드로 고전압이 유입되면 제1, 제2, 및 제3제어신호들에 응답하여 제1 및 제2풀업 트랜지스터들과 제1 및 제2풀다운 트랜지스터들의 게이트와 소스/드레인 사이의 전압 차가 소정 전압보다 작도록 조절하는 제1회로를 구비하는 출력버퍼, 및 제1제어신호에 응답하여 패드로부터 입력되는 신호를 제1노드로 전송하는 전송 게이트와 전원전압과 제2노드사이에 직렬 연결되고 각각의 게이트가 제3노드, 패드, 및 제1노드에 연결된 제3, 4, 및 5풀업 트랜지스터들, 제2노드와 접지전압사이에 연결되고 게이트가 제1노드에 연결된 제3풀다운 트랜지스터, 및 파워 온 및 오프시에 패드로 고전압이 유입되면 제1 및 제3제어신호들에 응답하여 제3, 4, 및 5풀업 트랜지스터들과 제3풀다운 트랜지스터의 게이트와 소스/드레인 사이의 전압 차가 소정 전압보다 작도록 조절하는 제2회로를 구비하는 입력버퍼로 구성되어 있다.

【대표도】

도 1

【명세서】**【발명의 명칭】**

반도체 장치의 입출력 회로{Input and output circuit of semiconductor device}

【도면의 간단한 설명】

도1은 본 발명의 반도체 장치의 실시예의 구성을 나타내는 블록도이다.

도2는 도1에 나타낸 제어 신호 발생회로의 실시예의 회로도이다.

도3은 도1에 나타낸 출력버퍼의 실시예의 구성을 나타내는 회로도이다.

도4는 도1에 나타낸 입력버퍼의 실시예의 구성을 나타내는 회로도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <5> 본 발명은 반도체 장치에 관한 것으로, 특히 파워 온 및 오프시에 외부로부터 내부 전원전압보다 높은 고전압이 유입되더라도 안정적으로 동작할 수 있는 반도체 장치의 입출력 회로에 관한 것이다.
- <6> 반도체 장치는 공정 기술의 발전으로 딥-서브미크론(deep-submicron) 선폭 기술을 사용하게 됨에 따라 전원전압이 3.3V에서 점차 낮아지고 있으나, 이러한 반도체 장치가 적용되는 시스템의 전원전압은 일반적으로 반도체 장치 내부의 전원전압보다 고전압, 예를 들면, 5V가 된다.
- <7> 따라서, 반도체 장치의 입출력 회로는 외부로부터 고전압이 유입되는 경우에도 안정적으로 동작할 수 있는 고전압 툴러런트 기능을 구비하여야 한다.

- <8> 일반적으로, 반도체 장치의 입출력 회로라고 함은 패드로부터 입력되는 신호를 버퍼하는 입력버퍼와 내부 회로로부터 출력되는 신호를 버퍼하여 패드로 출력하는 출력버퍼를 말한다.
- <9> 그래서, 종래의 반도체 장치의 입력버퍼와 출력버퍼는 외부로부터 인가되는 고전압에 견딜 수 있는 툴러런트 기능을 구비하고 있다.
- <10> 그런데, 종래의 반도체 장치의 입력버퍼와 출력버퍼는 파워 온시에는 툴러런트 기능을 수행할 수 있지만, 파워 오프시에는 툴러런트 기능을 수행할 수 없다는 문제가 있다.
- <11> 따라서, 종래의 반도체 장치는 파워 오프시에 입력버퍼와 출력버퍼를 구성하는 MOS트랜지스터의 게이트와 소스/드레인 사이의 전압 차가 고전압이 되어 이를 MOS트랜지스터들의 게이트 옥사이드가 손상된다는 문제가 있었다.
- <12> 또한, 종래의 반도체 장치는 파워 온시와 오프시에 입력버퍼와 출력버퍼를 구성하는 MOS트랜지스터들을 통하여 누설 전류가 흐르게 된다는 문제가 있었다.
- 【발명이 이루고자 하는 기술적 과제】**
- <13> 본 발명의 목적은 파워 온시 뿐만아니라 파워 오프시도 툴러런트 기능을 수행할 수 있는 반도체 장치의 입출력 회로를 제공하는데 있다.
- <14> 본 발명의 다른 목적은 파워 온시와 오프시에 MOS트랜지스터들을 통하여 누설 전류가 흐르는 것을 방지할 수 있는 반도체 장치의 입출력 회로를 제공하는데 있다.
- <15> 상기 목적과 다른 목적을 달성하기 위한 본 발명의 반도체 장치의 입출력 회로는 패드를 통하여 고전압이 유입되면 파워 온시에 전원전압 레벨의 제1제어신호, 접지전압

레벨의 제2제어신호, 및 상기 고전압 레벨의 제3제어신호를 발생하고, 파워 오프시에는 상기 전원전압과 거의 유사한 레벨의 상기 제1 및 제2제어신호들, 및 상기 고전압 레벨의 상기 제3제어신호를 발생하는 제어신호 발생수단, 상기 전원전압과 상기 패드사이에 직렬 연결된 제1 및 제2풀업 트랜지스터들과 상기 패드와 상기 접지전압사이에 직렬 연결된 제1 및 제2풀다운 트랜지스터들, 출력 인에이블 신호가 인에이블 상태이면 입력신호에 응답해서 상기 패드를 풀업/다운 하고, 상기 출력 인에이블 신호가 디스에이블 상태이면 상기 제1 및 제2풀업 트랜지스터들과 상기 제1 및 제2풀다운 트랜지스터들을 오프하는 프리 드라이버, 및 파워 온 및 오프시에 상기 패드로 상기 고전압이 유입되면 상기 제1, 제2, 및 제3제어신호들에 응답하여 상기 제1 및 제2풀업 트랜지스터들과 상기 제1 및 제2풀다운 트랜지스터들의 게이트와 소스/드레인 사이의 전압 차가 소정 전압보다 작도록 조절하고, 상기 패드로부터 상기 전원전압 측으로 전류 흐름을 방지하는 제1 톨러런트 및 전류 흐름 방지 수단을 구비하는 출력버퍼, 및 상기 제1제어신호에 응답하여 상기 패드로부터 입력되는 신호를 제1노드로 전송하는 전송 게이트와 상기 전원전압과 제2노드사이에 직렬 연결되고 각각의 게이트가 제3노드, 상기 패드, 및 상기 제1노드에 연결된 제3, 4, 및 5풀업 트랜지스터들, 상기 제2노드와 상기 접지전압사이에 연결되고 게이트가 상기 제1노드에 연결된 제3풀다운 트랜지스터, 및 파워 온 및 오프시에 상기 패드로 상기 고전압이 유입되면 상기 제1 및 제3제어신호들에 응답하여 상기 제3, 4, 및 5풀업 트랜지스터들과 상기 제3풀다운 트랜지스터의 게이트와 소스/드레인 사이의 전압 차가 상기 소정 전압보다 작도록 조절하고, 상기 패드로부터 상기 전원전압 측으로 전류 흐름을 방지하는 제2톨러런트 및 전류 흐름 방지 수단을 구비하는 입력버퍼를 구비하는 것을 특징으로 한다.

- <16> 상기 목적과 다른 목적을 달성하기 위한 본 발명의 반도체 장치의 출력 회로는 패드를 통하여 고전압이 유입되면 파워 온시에 전원전압 레벨의 제1제어신호, 접지전압 레벨의 제2제어신호, 및 상기 고전압 레벨의 제3제어신호를 발생하고, 파워 오프시에는 상기 전원전압과 거의 유사한 레벨의 상기 제1 및 제2제어신호들, 및 상기 고전압 레벨의 상기 제3제어신호를 발생하는 제어신호 발생수단, 및 상기 전원전압과 상기 패드사이에 직렬 연결된 제1 및 제2풀업 트랜지스터들과 상기 패드와 상기 접지전압사이에 직렬 연결된 제1 및 제2풀다운 트랜지스터들, 출력 인에이블 신호가 인에이블 상태이면 입력 신호에 응답해서 상기 패드를 풀업/다운 하고, 상기 출력 인에이블 신호가 디스에이블 상태이면 상기 제1 및 제2풀업 트랜지스터들과 상기 제1 및 제2풀다운 트랜지스터들을 오프하는 프리 드라이버, 및 파워 온 및 오프시에 상기 패드로 상기 고전압이 유입되면 상기 제1, 제2, 및 제3제어신호들에 응답하여 상기 제1 및 제2풀업 트랜지스터들과 상기 제1 및 제2풀다운 트랜지스터들의 게이트와 소스/드레인 사이의 전압 차가 소정 전압보다 작도록 조절하고, 상기 패드로부터 상기 전원전압 측으로 전류 흐름을 방지하는 톨러런트 및 전류 흐름 방지 수단을 구비하는 출력버퍼를 구비하는 것을 특징으로 한다.
- <17> 상기 출력회로의 톨러런트 및 전류 흐름 방지 수단은 상기 제2제어신호에 응답하여 파워 온시에는 온되어 제1노드로 상기 전원전압을 전송하는 스위칭 트랜지스터, 상기 제1노드와 제2노드사이에 연결되고 게이트가 상기 제1신호에 연결되고 기판이 상기 제3제어신호에 연결되는 제3풀업 트랜지스터, 및 상기 제2노드와 상기 접지전압사이에 연결되고 게이트가 상기 제1신호에 연결되는 제3풀다운 트랜지스터를 구비한 제1 드라이버, 상기 전원전압과 상기 접지전압사이에 직렬 연결되고 각각의 게이트가 상기 제3신호에 연결된 제4풀업 트랜지스터 및 제4풀다운 트랜지스터를 구비한 제2 드라이버, 상기 전원

전압과 제3노드사이에 연결된 역방향 다이오우드, 상기 제3노드와 제4노드사이에 연결되고 게이트가 상기 제2신호에 연결되고 기판이 상기 제3제어신호에 연결된 제5풀업 트랜지스터, 제5노드와 상기 접지전압사이에 연결되고 게이트가 상기 제2신호에 연결된 제5풀다운 트랜지스터, 및 상기 제4노드와 상기 제5노드사이에 직렬 연결되고 게이트가 상기 제1제어신호에 연결되어 제6노드에 신호를 전송하는 제1 및 제2전송 트랜지스터들을 구비한 제3 드라이버, 상기 제2노드와 상기 제1제어신호사이에 연결되고 게이트가 상기 전원전압에 연결되고 기판이 상기 제3제어신호에 연결되어 파워 오프시에 상기 제2노드의 전압을 상기 전원전압과 거의 유사한 레벨로 만드는 제1트랜지스터, 상기 제6노드와 상기 패드사이에 연결되고 게이트가 상기 제1제어신호에 연결되고 기판이 상기 제3제어신호에 연결되어 파워 온 및 오프시에 상기 패드의 상기 고전압을 상기 제6노드로 전송하는 제2트랜지스터, 상기 패드의 상기 고전압을 낮추는 전압 강하 회로, 및 상기 제1 및 2풀업 트랜지스터들의 공통점과 상기 전압 강하 회로사이에 연결되고 게이트가 상기 제2신호에 연결되고 기판이 상기 제3제어신호에 연결되어 파워 온 및 오프시에 상기 패드로 상기 고전압이 유입되면 상기 제1 및 제2풀업 트랜지스터들의 공통점의 전압을 낮추는 제3트랜지스터를 구비하는 것을 특징으로 한다.

<18> 상기 목적과 다른 목적을 달성하기 위한 본 발명의 반도체 장치의 입력 회로는 패드를 통하여 고전압이 유입되면 파워 온시에 전원전압 레벨의 제1제어신호, 및 상기 고전압 레벨의 제2제어신호를 발생하고, 파워 오프시에는 상기 전원전압과 거의 유사한 레벨의 상기 제1 제어신호 및 상기 고전압 레벨의 상기 제2제어신호를 발생하는 제어신호 발생수단, 및 상기 제1제어신호에 응답하여 상기 패드로부터 입력되는 신호를 제1노드로

전송하는 전송 게이트와 상기 전원전압과 제2노드사이에 직렬 연결되고 각각의 게이트가 제3노드, 상기 패드, 및 상기 제1노드에 연결된 제1, 2, 및 3풀업 트랜지스터들, 상기 제2노드와 접지전압사이에 연결되고 게이트가 상기 제1노드에 연결된 제1풀다운 트랜지스터, 및 파워 온 및 오프시에 상기 패드로 고전압이 유입되면 상기 제1 및 제2제어신호들에 응답하여 상기 제1, 2, 및 3풀업 트랜지스터들과 상기 제1풀다운 트랜지스터의 게이트와 소스/드레인 사이의 전압 차가 상기 소정 전압보다 작도록 조절하고, 상기 패드로부터 상기 전원전압 측으로 전류 흐름을 방지하는 톨러런트 및 전류 흐름 방지 수단을 구비하는 입력버퍼를 구비하는 것을 특징으로 한다.

<19> 상기 입력 회로의 톨러런트 및 전류 흐름 방지 수단은 상기 제3노드와 상기 접지전압사이에 연결되고 게이트가 상기 전원전압에 연결되어 파워 온시에 상기 제3노드를 상기 접지전압 레벨로 만드는 제1트랜지스터, 상기 제3노드와 상기 제1노드사이에 직렬 연결되고 각각의 게이트가 상기 전원전압에 연결되고 각각의 기판이 상기 제2제어신호에 연결되고 공통점이 상기 제1 및 2PMOS풀업 트랜지스터들의 공통점에 연결되어 파워 오프시에 상기 제3노드 및 상기 제1 및 2풀업 트랜지스터들의 공통점으로 상기 제1노드의 전압을 전송하는 제2 및 3트랜지스터들, 및 상기 제2 및 3풀업 트랜지스터들의 공통점과 상기 제1노드사이에 연결되고 게이트가 상기 전원전압에 연결되고, 기판이 상기 제2제어신호에 연결되어 파워 오프시에 상기 제2 및 3풀업 트랜지스터들의 공통점으로 상기 제1노드의 전압을 전송하는 제4트랜지스터를 구비하는 것을 특징으로 한다.

【발명의 구성 및 작용】

<20> 이하, 첨부한 도면을 참고로 하여 본 발명의 반도체 장치의 입출력 회로를 설명하면 다음과 같다.

- <21> 도1은 본 발명의 반도체 장치의 실시예의 구성을 나타내는 블록도로서, 반도체 장치(30)는 내부 회로(32), 입출력 회로(34), 및 패드들(42-1 ~ 42-n)로 구성되어 있다. 입출력 회로(34)는 제어 신호 발생회로(36), 출력버퍼들(38-1 ~ 38-n), 및 입력버퍼들(40-1 ~ 40-n)로 구성되어 있다.
- <22> 도1에 나타낸 실시예의 반도체 장치는 모든 패드들(42-1 ~ 42-n)에 출력버퍼들(38-1 ~ 38-n)과 입력버퍼들(40-1 ~ 40-n)이 연결된 경우를 가정하여 나타낸 것이다. 즉, 반도체 장치의 패드가 신호 입력만을 위하여 사용되는 경우라면 패드에 입력버퍼만을 연결하여 구성하고, 신호 출력만을 위하여 사용되는 경우라면 패드에 출력버퍼만을 연결하여 구성하면 된다.
- <23> 그리고, 도1에서는 제어 신호 발생회로(36)가 패드(42-1)에 연결된 것을 나타내었으나, 다른 패드들(42-2 ~ 42-n)에 연결되어도 상관없다.
- <24> 또한, 도1에서 제어 신호 발생회로(36)는 각각의 I/O에 대해 공통으로 사용되는 것으로 되어 있지만, I/O별로 각각 독립적으로 구성하는 것도 가능 하다.
- <25> 도1에 나타낸 블록들 각각의 기능을 설명하면 다음과 같다.
- <26> 내부 회로(32)는 반도체 장치(30)의 고유한 기능을 수행하는 회로이다. 제어 신호 발생회로(36)는 파워 온시에 패드(42-1)의 전압(Vp)이 고전압이면 전원전압(VDD) 레벨의 제어 신호(SV)와 접지전압 레벨의 제어 신호(SFV)를 발생하고, 파워 오프시에 패드(42-1)의 전압(Vp)이 고전압이면 전원전압(VDD) 레벨의 제어 신호(SV, SFV)를 발생한다. 그리고, 파워 온시에 패드(42-1)의 전압(Vp)이 접지전압 레벨이면 전원전압(VDD) 레벨의 제어 신호(SVFW)를 발생하고, 패드(42-1)의 전압(Vp)이 전원전압(VDD) 레벨이면 제

어 신호(SVFW)가 플로팅된다. 또한, 파워 온 및 오프시에 패드(42-1)의 전압(Vp)이 고전압이면 고전압 레벨의 제어 신호(SVFW)를 발생한다. 출력버퍼들(38-1 ~ 38-n) 각각은 출력 인에이블 신호(OE)에 응답하여 신호들(OUT1 ~ OUTn)를 버퍼하여 출력 신호들(DOUT1 ~ DOUTn)을 발생하고, 패드(42-1)로 고전압이 유입되면 제어 신호들(SV, SFV, SVFW)에 응답하여 파워 오프 상태 및 파워 온 하이 임피던스 상태에서 고전압에 대한 툴러런트 기능을 수행하고, 전류 흐름을 방지한다. 입력버퍼들(40-1 ~ 40-n) 각각은 입력 신호들(DIN1 ~ DINn)을 버퍼하여 신호들(IN1 ~ INn)을 발생하고, 파워 온 및 오프시에 패드(42-1)로 고전압이 유입되면 제어신호들(SV, SVFW)에 응답하여 고전압에 대한 툴러런트 기능을 수행하고, 전류 흐름을 방지한다.

<27> 도2는 도1에 나타낸 제어 신호 발생회로의 실시예의 회로도로서, 제어신호들(SFV, SV)을 발생하는 회로(36-1)와 제어신호(SVFW)를 발생하는 회로(36-2)로 구성되어 있다.

<28> 도2에서, 회로(36-1)는 PMOS트랜지스터들(P14 ~ P16) 및 NMOS트랜지스터들(N11 ~ N15)로 구성되고, 회로(36-2)는 PMOS트랜지스터들(P10 ~ P13) 및 NMOS트랜지스터(N10)로 구성되어 있다.

<29> 좀 더 상세하게 설명하면, 회로(36-1)는 제어 신호(SV)를 중간 연결 노드로 하여 전원전압(VDD)과 노드(A1)사이에 직렬 연결되고 각각의 게이트가 제어신호(SFV)와 전원전압(VDD)에 연결되고, 제어신호(SV)에 연결된 기판을 가진 PMOS트랜지스터들(P15, P16), 제어신호(SFV)와 접지전압사이에 연결되고 전원전압(VDD)이 인가되는 게이트를 가진 NMOS트랜지스터(N11), 제어신호(SFV)와 제어신호(SV)사이에 연결되고 전원전압(VDD)이 인가되는 게이트와 제어신호(SV)에 연결된 기판을 가진 PMOS트랜지스터(P14), 노드(A1)와 패드(18)사이에 직렬 연결된 다이오우드 구성의 NMOS트랜지스터들(N13, N14,

N15), 및 노드(A1)와 패드(18)사이에 연결되며, 게이트는 노드(A1)에 연결된 NMOS트랜지스터(N12)로 구성되어 있다.

<30> 회로(36-2)는 노드(A3) 및 제어 신호(SVFW)를 중간 연결 노드들로 하여 전원전압(VDD)과 패드(18)사이에 직렬 연결되고 각각의 게이트가 노드(A2), 패드(18), 및 제어신호(SV) 발생단자에 연결되고, 기판이 제어신호(SVFW)에 연결된 PMOS트랜지스터들(P10, P11, P12), 노드(A2)와 제어신호(SV)사이에 연결되고 게이트는 전원전압(VDD)에 연결되며, 노드(A3)에 연결된 기판을 가진 PMOS트랜지스터(P13), 및 노드(A2)와 접지전압사이에 연결되고 전원전압(VDD)이 인가되는 게이트를 가진 NMOS트랜지스터(N10)로 구성되어 있다.

<31> 그리고, 도2에서 도시되지 않은 PMOS트랜지스터들의 기판은 전원전압(VDD)에 연결되고, NMOS트랜지스터들의 기판은 접지전압에 연결된다.

<32> 도2에 나타낸 회로(36-1)의 동작을 설명하면 다음과 같다.

<33> 먼저, 전원전압(VDD)이 전압(3V)인 파워 온 상태에서, 패드(18)로 5V의 전압이 유입되는 경우의 동작을 설명하면 다음과 같다.

<34> NMOS트랜지스터(N11)와 PMOS트랜지스터(P15)가 온되고 PMOS트랜지스터들(P14, P16)이 오프되어, 접지전압 레벨의 제어신호(SFV)와 전원전압(VDD) 레벨의 제어신호(SV)를 발생한다. 이때 PMOS트랜지스터(P16)는 오프 상태(게이트는 3V, 노드(A1)는 다이오드 연결된 NMOS트랜지스터들(MN13, MN14, MN15)에 의해 3V 정도임) 이므로 패드(18)의 5V 전압이 제어 신호(SV)에 영향을 미치지 않으며, 또한 전원 전압(VDD)이 공급되는 파워 온

상태에서, 패드(18)로 0~5V 정도의 전압이 인가되면 PMOS트랜지스터(P16)는 항상 오프이므로,

<35> 파워 온 상태에서 회로(36-1)는 패드(18)로 인가되는 전압의 레벨에 상관없이 접지전압 레벨의 제어신호(SFV)와 전원전압(VDD) 레벨의 제어신호(SV)를 발생한다.

<36> 다음, 전원전압(VDD)이 0V인 파워 오프 상태에서(파워 오프가 되면 전원 전압(VDD)이 결국은 접지 전압이 됨) 패드(18)로 5V의 전압이 유입되는 경우의 동작을 설명하면 다음과 같다.

<37> NMOS트랜지스터(N11)가 오프되고, PMOS트랜지스터들(P14, P16)이 온된다. 노드(A1)의 전압은 다이오우드 구성의 NMOS트랜지스터들(N13, N14, N15)에 의해서 패드(18)의 전압(5V)이 떨어져서 3V 정도가 된다. 이때, PMOS트랜지스터(P16)가 온되어 있으므로 제어신호(SV)는 3V 정도가 되고, PMOS트랜지스터(P14)가 온되어 있으므로 제어신호(SFV) 또한 3V 정도가 된다. 그리고, PMOS트랜지스터(P15)는 제어신호(SFV)에 응답하여 오프된다.

<38> 결과적으로, 파워 온시에 패드(18)로 인가되는 전압 레벨에 상관없이 제어신호(SV)는 전원전압(VDD) 레벨이 되고, 제어신호(SFV)는 접지전압 레벨이 된다. 그리고, 파워 오프시에 패드(18)로 전원전압(VDD)보다 높은 전압이 유입되는 경우에는 제어신호들(SV, SFV)이 모두 전원전압(VDD) 레벨이 된다. 즉, 파워 오프시에 패드(18)의 전압을 다이오우드 구성의 NMOS트랜지스터들(N13, N14, N15)에 의해서 노드(A1)의 전압을 전원전압(VDD) 레벨로 만듬에 의해서 제어신호들(SV, SFV)의 전압을 전원전압(VDD) 레벨로 만든다.

<39> 도2에 나타낸 회로(36-2)의 동작을 설명하면 다음과 같다.

<40> 먼저, 전원전압(VDD)이 3V인, 파워 온상태에서 패드(18)가 접지전압 레벨인 경우의 동작을 설명하면 다음과 같다.

<41> NMOS트랜지스터(N10)와 PMOS트랜지스터(P11)가 온되고, PMOS트랜지스터(P13)가 오프된다. 그리고, NMOS트랜지스터(N10)가 온되어 PMOS트랜지스터(P10)의 노드(A2)가 접지전압 레벨로 된다. 따라서, PMOS트랜지스터(P10)가 온된다. 이 경우에, 제어신호(SV)가 전원전압(VDD) 레벨이므로 PMOS트랜지스터(P12)는 오프된다. 따라서, 제어신호(SVFW)는 전원전압(VDD) 레벨로 상승한다.

<42> 그리고, 전원전압(VDD)이 3V인, 파워 온 상태에서 패드(18)로 3V의 전압이 유입되는 경우의 동작을 설명하면 다음과 같다.

<43> 이 경우에, NMOS트랜지스터(N10)가 온되고, PMOS트랜지스터(P11)가 오프된다. NMOS트랜지스터(N10)가 온되어 노드(A2)가 접지전압 레벨로 되고, 이에 따라 PMOS트랜지스터(P10)가 온된다. 그리고, 제어신호(SV)가 전원전압(VDD) 레벨이므로 PMOS트랜지스터(P12)는 오프된다. 따라서, PMOS트랜지스터들(P11, P12)이 모두 오프되어 제어신호(SVFW)는 플로팅(floating) 상태가 된다.

<44> 그리고, 전원전압(VDD)이 3V인, 파워 온 상태에서 패드(18)로 5V의 전압이 유입되는 경우의 동작을 설명하면 다음과 같다.

<45> NMOS트랜지스터(N10)가 온되고, PMOS트랜지스터(P11)가 오프된다. 그리고, NMOS트랜지스터(N10)가 온되어 노드(A2)가 접지전압 레벨로 되고, PMOS트랜지스터(P10)가 온된다. 이때, 제어신호(SV)가 전원전압(VDD) 레벨이므로 PMOS트랜지스터(P12)의 게이트와

소스사이의 전압 차가 문턱전압보다 커서 PMOS트랜지스터(P12)는 온된다. 따라서, 제어신호(SVFW)는 전압(5V) 레벨까지 상승한다.

<46> 마지막으로, 전원전압(VDD)이 0V인, 파워 오프 상태에서 패드(18)로 5V의 전압이 유입되는 경우의 동작을 설명하면 다음과 같다.

<47> 파워 오프 상태에서 전원 전압(VDD)은 접지 전압 레벨이 되므로, NMOS트랜지스터(N10)가 오프되고, PMOS트랜지스터(P13)가 온 된다. 이때, 제어신호(SV)가 전원전압(VDD) 레벨이고 PMOS트랜지스터(P13)가 온되어 있으므로, 노드(A2)가 전원전압(VDD) 레벨이 되어, PMOS트랜지스터(P10)는 오프된다. 그리고, PMOS트랜지스터(P12)는 PMOS트랜지스터(P12)의 게이트와 소스사이의 전압 차가 문턱전압보다 크므로 온된다. 따라서, 제어신호(SVFW)는 전압(5V) 레벨까지 상승한다.

<48> 결과적으로, 회로(36-2)는 파워 온시에 패드(18)가 접지전압 레벨인 경우에는 전원전압(VDD) 레벨의 제어신호(SVFW)를 발생하고, 패드(18)가 전원전압(VDD) 레벨인 경우에는 제어신호(SVFW)를 플로팅 상태로 만들고, 패드(18)가 전압(5V) 레벨인 경우에는 전압(5V) 레벨의 제어신호(SVFW)를 발생한다. 그리고, 파워 오프시에 패드(18)가 전압(5V) 레벨인 경우에는 전압(5V) 레벨의 제어신호(SVFW)를 발생한다. 즉, 파워 온 및 오프시에 패드(18)로 고전압이 유입되는 경우에 제어신호(SVFW)는 고전압 레벨까지 상승한다.

<49> 도3은 도1에 나타낸 출력버퍼의 실시예의 구성을 나타내는 회로도로서, 인버터(I1), AND게이트(AND), 및 OR게이트(OR)로 구성된 프리 드라이버(50), 및 PMOS트랜지스터들(P17 ~ P26), 및 NMOS트랜지스터들(N16 ~ N25)로 구성된 출력 드라이버(52)로 구성되어 있다.

- <50> 출력 드라이버(52)는 프리 드라이버(50)의 출력 신호인 신호들(S1, S2, S3)에 응답하는 드라이버들(60, 62, 64), 풀업/다운 드라이버(66), 및 전압 강하 회로(68)로 구성되어 있다.
- <51> 도3에서, 드라이버(60)는 전원전압(VDD)과 노드(B2)사이에 직렬 연결되고 각각의 게이트가 노드(B1), 신호(S2)에 연결되고, 각각의 기판이 노드(B1), 제어신호(SVFW)에 연결된 PMOS트랜지스터들(P17, P18), 및 노드(B2)와 접지전압사이에 직렬 연결되고 각각의 게이트가 제어신호(SV), 제어신호(SV), 신호(S2)에 연결된 NMOS트랜지스터들(N16, N17, N18)로 구성되어 있다.
- <52> 드라이버(62)는 전원전압(VDD)과 노드(B3)사이에 직렬 연결되고, 각각의 게이트가 제어신호(SFV), 신호(S1)에 연결되고, 각각의 기판이 제어신호(SVFW)에 연결된 PMOS트랜지스터들(P19, P20), 및 노드(B3)와 접지전압사이에 연결되고 신호(S1)에 연결된 게이트를 가진 NMOS트랜지스터(N19)로 구성되어 있다.
- <53> 드라이버(64)는 노드(B5)를 중간 연결 노드로 하여 전원전압(VDD)과 접지전압사이에 직렬 연결되고 신호(S3)에 연결된 게이트를 가진 PMOS트랜지스터(P21)와 NMOS트랜지스터(N20)로 구성되어 있다.
- <54> 풀업/다운 드라이버(66)는 전원전압(VDD)과 패드(18)사이에 직렬 연결되고 각각의 게이트가 노드(B3), 노드(B4)에 연결되고 각각의 기판이 제어신호(SVFW)에 연결된 PMOS트랜지스터들(P24, P26), 패드(18)와 접지전압사이에 직렬 연결되고 각각의 게이트가 제어신호(SV), 노드(B5)에 연결된 NMOS트랜지스터들(N21, N22), 노드(B3)와 제어신호(SV)사이에 연결되고 전원전압(VDD)에 연결된 게이트와 제어신호(SVFW)에 연결된 기판을 가진 PMOS트랜지스터(P22), 노드(B4)와 패드(18)사이에 연결되고 제어신호(SV)에 연결된

게이트와 제어신호(SVFW)에 연결된 기판을 가진 PMOS트랜지스터(P23), 노드(B6)와 전압 강하 회로(68)사이에 연결되고 신호(S2)가 인가되는 게이트와 제어신호(SVFW)에 연결된 기판을 가진 PMOS트랜지스터(P25)로 구성되어 있다.

<55> 전압 강하 회로(68)는 패드(18)에 직렬 연결된 다이오우드 구성의 NMOS트랜지스터들(N23, N24, N25)로 구성되어 있다.

<56> 도3에서, 도시되지 않은 PMOS트랜지스터들의 기판은 전원전압(VDD)에 연결되고 NMOS트랜지스터들의 기판은 접지전압에 연결된다.

<57> 도3에서, 풀업/다운 드라이버(66)를 구성하는 PMOS트랜지스터들(P24, P26)과 NMOS 트랜지스터들(N21, N22)의 크기는 다른 트랜지스터들의 크기보다 훨씬 크다.

<58> 도3에 나타낸 회로의 동작을 설명하면 다음과 같다.

<59> 접지전압 레벨의 출력 인에이블 신호(OE)가 인가되면 AND게이트(AND)와 OR게이트 (OR)는 입력 신호인 신호(OUT)를 각각 신호들(S1, S3)로 발생한다. 인버터(I1)는 전원전 압(VDD) 레벨의 신호(S2)를 발생한다. 출력 드라이버(52)는 전원전압(VDD) 레벨의 신호 (S2)에 응답하여 신호들(S1, S3)이 전원전압(VDD) 레벨이면 전원전압(VDD) 레벨의 출력 신호(DOUT)를, 신호들(S1, S3)이 접지전압 레벨이면 접지전압 레벨의 출력신호(DOUT)를 발생한다. 즉, 이 경우에는 출력버퍼가 일반적인 버퍼로서의 동작을 수행한다.

<60> 전원전압(VDD) 레벨의 출력 인에이블 신호(OE)가 인가되면 AND게이트(AND)가 접지 전압 레벨의 신호(S1)를 발생하고, OR게이트(OR)가 전원전압(VDD) 레벨의 신호(S3)를 발생하고, 인버터(I1)가 접지전압 레벨의 신호(S2)를 발생한다. 이 경우는 출력버퍼로부터 출력되는 출력 신호(DOUT)가 하이 임피던스(Hi-Z) 상태인 경우이다. 파워 온 하이 임

피던스 상태 및 파워 오프시에 패드(18)로 전원전압(VDD)보다 높은 고전압이 인가되는 경우의 동작을 살펴보기로 한다.

<61> 먼저, 전원전압(VDD)이 3V인 파워 온 하이 임피던스 시에 패드(18)로 5V의 전압이 유입되는 경우의 동작을 설명하면 다음과 같다.

<62> 이 경우에, 신호들(S1, S2, S3)은 각각 0V, 0V, 3V이고, 제어신호들(SV, SFV, SVFW)은 각각 3V, 0V, 5V이다.

<63> NMOS트랜지스터(N20)가 온되고, PMOS트랜지스터(P21)가 오프되어 노드(B5)는 접지 전압 레벨로 된다. PMOS트랜지스터들(P19, P20)이 온되고, NMOS트랜지스터(N19)가 오프되어 노드(B3)는 전원전압(VDD) 레벨로 된다. 그리고, PMOS트랜지스터(P18)가 온되고, NMOS트랜지스터(N18)가 오프되고, NMOS트랜지스터들(N16, N17)이 온된다. 따라서, 노드(B4)는 전원전압(VDD) 레벨에서 PMOS트랜지스터(P17) 및 NMOS트랜지스터(N16)의 문턱 전압 만큼 강하된 레벨로 된다. PMOS트랜지스터(P22)가 오프되고, PMOS트랜지스터들(P23, P25)이 온되어 노드(B4)의 전압은 최종적으로 5V 정도가 되고, 노드(B6)의 전압은 전압 강하 회로(68)에 의해서 패드(18)의 전압이 강하되어 3V 정도가 된다. 따라서, PMOS트랜지스터(P24)는 게이트와 소스사이의 전압 차가 0V 정도가 되고, PMOS트랜지스터(P26)는 게이트와 드레인 사이의 전압 차가 2V 정도가 되고, NMOS트랜지스터(N21)는 게이트와 드레인 사이의 전압 차가 2V 정도가 되고, NMOS트랜지스터(N22)는 NMOS트랜지스터(N21)의 소스 전압($3V - V_t$; V_t 는 NMOS트랜지스터(N21)의 문턱전압을 말한다)이 드레인에 걸리게 되므로 게이트와 드레인 사이의 전압 차가 3V보다 작다. 따라서, 파워 온시에 패드(18)로 전원전압(VDD)보다 높은 고전압이 유입되더라도 PMOS트랜지스터들(P24,

P26) 및 NMOS트랜지스터들(N21, N22)의 게이트와 소스/드레인 사이의 전압 차가 소정 전압이상 걸리지 않게 되어 PMOS트랜지스터들(P24, P26) 및 NMOS트랜지스터들(N21, N22)의 게이트 옥사이드가 손상되는 문제를 방지할 수 있다. 즉, 파워 온시에 톤러런트 기능을 수행할 수 있다.

<64> 다음으로, 전원전압(VDD)이 0V 인, 파워 오프시에 패드(18)로 5V의 전압이 유입되는 경우의 동작을 설명하면 다음과 같다.

<65> 이 경우에, 신호들(S1, S2, S3)은 각각 0V, 0V, 0V이고, 제어신호들(SV, SFV, SVFW)은 각각 3V, 3V, 5V이다.

<66> PMOS트랜지스터들(P22, P23, P25)이 온되어 노드(B3)의 전압은 3V 정도가 되고, 노드(B4)의 전압은 5V 정도가 되고, 노드(B6)의 전압은 3V 정도가 된다. 따라서, PMOS트랜지스터(P24)는 게이트와 드레인 사이의 전압 차가 3V 정도가 되고, PMOS트랜지스터(P26)는 게이트와 드레인사이의 전압 차가 2V 정도가 되고, NMOS트랜지스터(N21)는 게이트와 드레인사이의 전압 차가 2V 정도가 되고, NMOS트랜지스터(N22)는 NMOS트랜지스터(N21)의 소스 전압($3V - V_t$; V_t 는 NMOS트랜지스터(N21)의 문턱전압을 말한다)이 드레인에 걸리게 되므로 게이트와 드레인 사이의 전압 차가 3V보다 작다. 따라서, 파워 오프시에 패드(18)로 전원전압(VDD)보다 높은 고전압이 유입되더라도 PMOS트랜지스터들(P24, P26) 및 NMOS트랜지스터들(N21, N22)의 게이트와 소스/드레인 사이의 전압 차가 소정 전압이상 걸리지 않게 되어 PMOS트랜지스터들(P24, P26) 및 NMOS트랜지스터들(N21, N22)의 게이트 옥사이드가 손상되는 문제를 방지할 수 있다. 즉, 파워 오프시에 톤러런트 기능을 수행 할 수 있다. 이때,

노드(B3)의 전압이 3V 정도이기 때문에 PMOS트랜지스터(P20)가 온되어 PMOS트랜지스터(P20)를 통하여 전원전압(VDD) 측으로 전류 흐름이 발생할 수 있다. 이를 방지하기 위하여 전원전압(VDD)과 PMOS트랜지스터(P20)사이에 PMOS트랜지스터(P19)를 구성하고, 제어신호(SFV)에 의해서 PMOS트랜지스터(P19)를 오프함으로써 전류 흐름이 발생되지 않도록 한다. 또한, 파워 오프시에 노드(B6)에 3V 정도의 전압이 걸려 있으므로 PMOS트랜지스터(P24)를 오프하지 않으면 전압 강하 회로(68), PMOS트랜지스터(P25), 및 PMOS트랜지스터(P24)를 통하여 전류가 흐르게 된다. 이를 방지하기 위하여 PMOS트랜지스터(P22)를 온하여 PMOS트랜지스터(P24)의 게이트에 3V 정도의 전압을 인가함으로써 PMOS트랜지스터(P24)를 오프한다. 따라서, PMOS트랜지스터(P24)를 통한 전류 흐름이 발생되지 않는다.

<67> 그리고, 파워 온 및 오프시에 노드(B4)에 5V의 전압이 걸리는 경우에 역방향 다이오우드 구성의 PMOS트랜지스터(P17)를 이용하여 NMOS트랜지스터(N16), 및 PMOS트랜지스터(P18)를 통한 전류 흐름을 방지한다.

<68> 또한, 파워 온 및 오프시에 노드(B4)에 5V의 전압이 걸리는 경우에 노드(B4)의 전압이 NMOS트랜지스터들(N16, N17)을 통하여 PMOS트랜지스터(P18)와 NMOS트랜지스터(N18)에 걸리게 함으로써 PMOS 트랜지스터(P18)와 NMOS트랜지스터(N18)가 보호된다.

<69> 그리고, PMOS트랜지스터들(P18 ~ P20, P22 ~ P26)의 기판에 제어신호(SVFW)가 인가되게 구성함으로써 파워 온 및 오프시에 패드(18)로 5V의 전압이 유입되는 경우에 PMOS트랜지스터들(P18 ~ P20, P22 ~ P26)의 소스(드레인)로부터 기판으로 전류 흐름이 발생되지 않게 된다.

<70> 도4는 도1에 나타낸 입력버퍼의 실시예의 구성을 나타내는 회로도로서, 전송 게이트(70) 및 인버터들(72, 74)로 구성되어 있다.

<71> 도4에서, 전송 게이트(70)는 NMOS트랜지스터(N26)로 구성되고, 인버터(72)는 PMOS트랜지스터들(P27 ~ P32), 및 NMOS트랜지스터들(N27, N28)로 구성되고, 인버터(74)는 PMOS트랜지스터(P33)와 NMOS트랜지스터(N29)로 구성되어 있다.

<72> 인버터(72)는 노드들(C3 및 C4)을 중간 연결 노드들로 하여 전원전압(VDD)과 노드(C5)사이에 직렬 연결되고, 각각의 게이트가 노드(C2), 패드(18), 노드(C1)에 연결되고 각각의 기판이 제어신호(SVFW)에 연결된 PMOS트랜지스터들(P28, P30, P32), 노드(C5)와 접지전압사이에 연결되고 노드(C1)에 연결된 게이트를 가진 NMOS트랜지스터(N28), 노드(C3)를 중간 연결 노드로 하여 노드(C2)와 노드(C1)사이에 직렬 연결되고 전원전압(VDD)이 인가되는 게이트와 제어신호(SVFW)에 연결된 기판을 가진 PMOS트랜지스터들(P27, P29), 노드(C2)와 접지전압사이에 연결되고 전원전압(VDD)이 인가되는 게이트를 가진 NMOS트랜지스터(N27), 및 노드(C4)와 노드(C1)사이에 연결되고 전원전압(VDD)이 인가되는 게이트와 제어신호(SVFW)에 연결된 기판을 가진 PMOS트랜지스터(P31)로 구성되어 있다.

<73> 인버터(74)는 전원전압(VDD)과 접지전압사이에 직렬 연결되고 각각의 게이트가 노드(C5)에 연결된 PMOS트랜지스터(P33)와 NMOS트랜지스터(N29)로 구성되어 있다.

<74> 도4에서, 도시되지 않은 PMOS트랜지스터들의 기판은 전원전압(VDD)에 연결되고, NMOS트랜지스터들의 기판은 접지전압에 연결된다.

<75> 도4에 나타낸 회로의 동작을 설명하면 다음과 같다.

<76> 전원전압(VDD)이 3V인, 파워 온시에 패드(18)로 접지전압 레벨 또는 전원전압(VDD)레벨의 입력신호(DIN)가 인가되는 경우에 전송 게이트(70)와 인버터들(72, 74)은 접지전

압 레벨 또는 전원전압(VDD)의 신호를 버퍼하여 신호(IN)를 발생한다. 이 경우는 입력버퍼가 일반적인 버퍼로서의 동작을 수행한다.

<77> 전원전압(VDD)이 3V인, 파워 온시에 패드(18)로 5V의 고전압이 유입되는 경우의 동작을 설명하면 다음과 같다.

<78> 이 경우에, 제어신호들(SV, SVFW)은 각각 3V, 5V이다. NMOS트랜지스터(N26)는 노드(C1)로 2V 정도의 전압을 전송한다. 그리고, PMOS트랜지스터(P28)가 온되고, PMOS트랜지스터들(P27, P29, P30, P31)이 오프된다. 따라서, PMOS트랜지스터(P32)와 NMOS트랜지스터(N28)의 게이트 전압이 2V 정도 이므로 PMOS트랜지스터(P32) 및 NMOS트랜지스터(N28)의 게이트 옥사이드에 손상이 없게 된다.

<79> 반면에, 전원전압(VDD)이 0V인, 파워 오프시에 패드(18)로 5V의 고전압이 유입되는 경우의 동작을 설명하면 다음과 같다.

<80> 이 경우에, 제어신호들(SV, SVFW)은 각각 3V, 5V이다. NMOS트랜지스터(N26)는 노드(C1)로 2V정도의 전압을 전송한다. PMOS트랜지스터들(P27, P29, P31)은 온되고, PMOS트랜지스터들(P28, P30)은 오프된다. 따라서, 노드(C4)의 전압 또한 노드(C1)의 전압과 마찬가지로 2V 정도의 전압이 된다.

<81> 따라서, PMOS트랜지스터(P32)의 게이트와 소스사이의 전압 차가 0V정도로 되고, NMOS트랜지스터(N28)의 게이트와 소스사이의 전압 차가 2V정도가 되어 PMOS트랜지스터(N32)와 NMOS트랜지스터(N28)의 게이트 옥사이드 손상이 없게 된다.

<82> 그리고, PMOS트랜지스터(P30)와 PMOS트랜지스터(P28)를 오프함으로써 전원 전압(VDD)쪽으로의 전류 흐름을 방지할 수 있다.

<83> 또한, PMOS트랜지스터들(P27 ~ P32)의 기판에 제어신호(SVFW)가 인가되게 구성함으로써 파워 온 및 오프시에 패드(18)로 5V의 전압이 유입되는 경우에 PMOS트랜지스터들(P18 ~ P20, P22 ~ P26)의 소스(드레인)로부터 기판으로 전류 흐름이 발생되지 않게 된다.

<84> 즉, 본 발명의 반도체 장치의 입출력 회로는 파워 온 및 오프시에 패드로 전원전압 보다 높은 고전압이 유입되는 경우에 MOS트랜지스터들의 게이트와 소스 및 게이트와 드레인사이의 전압 차가 고전압이 되지 않도록 함으로써 툴러런트 기능을 완벽하게 수행한다.

<85> 그리고, 본 발명의 회로는 이때, 발생될 수 있는 전류 통로를 모두 차단하고, PMOS 트랜지스터들의 기판으로 전원전압보다 높은 고전압이 인가되도록 구성함으로써 전류 흐름을 방지할 수 있다.

<86> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

<87> 따라서, 본 발명의 반도체 장치의 입출력 회로는 파워 온 및 오프시에 패드로 내부 전원전압보다 높은 고전압이 유입되는 경우에 MOS트랜지스터들의 게이트 옥사이드가 손상되지 않게 된다.

<88> 또한, 본 발명의 반도체 장치의 입출력 회로는 파워 온 및 오프시에 누설 전류를 방지할 수 있다.

【특허청구범위】**【청구항 1】**

패드를 통하여 고전압이 유입되면 파워 온시에 전원전압 레벨의 제1제어신호, 접지 전압 레벨의 제2제어신호, 및 상기 고전압 레벨의 제3제어신호를 발생하고, 파워 오프시에는 상기 전원전압과 거의 유사한 레벨의 상기 제1 및 제2제어신호들, 및 상기 고전압 레벨의 상기 제3제어신호를 발생하는 제어신호 발생수단;

상기 전원전압과 상기 패드사이에 직렬 연결된 제1 및 제2풀업 트랜지스터들과 상기 패드와 상기 접지전압사이에 직렬 연결된 제1 및 제2풀다운 트랜지스터들, 출력 인에 이블 신호가 인에이블 상태이면 입력신호에 응답해서 상기 패드를 풀업/다운 하고, 상기 출력 인에이블 신호가 디스에이블 상태이면 상기 제1 및 제2풀업 트랜지스터들과 상기 제1 및 제2풀다운 트랜지스터들을 오프하는 프리 드라이버, 및 파워 온 및 오프시에 상기 패드로 상기 고전압이 유입되면 상기 제1, 제2, 및 제3제어신호들에 응답하여 상기 제1 및 제2풀업 트랜지스터들과 상기 제1 및 제2풀다운 트랜지스터들의 게이트와 소스/드레인 사이의 전압 차가 소정 전압보다 작도록 조절하고, 상기 패드로부터 상기 전원전압 측으로 전류 흐름을 방지하는 제1톨러런트 및 전류 흐름 방지 수단을 구비하는 출력 버퍼; 및

상기 제1제어신호에 응답하여 상기 패드로부터 입력되는 신호를 제1노드로 전송하는 전송 게이트와 상기 전원전압과 제2노드사이에 직렬 연결되고 각각의 게이트가 제3노드, 상기 패드, 및 상기 제1노드에 연결된 제3, 4, 및 5풀업 트랜지스터들, 상기 제2노드와 상기 접지전압사이에 연결되고 게이트가 상기 제1노드에 연결된 제3풀다운 트랜지스터, 및 파워 온 및 오프시에 상기 패드로 상기 고전압이 유입되면 상기 제1 및 제3제

어신호들에 응답하여 상기 제3, 4, 및 5풀업 트랜지스터들과 상기 제3풀다운 트랜지스터의 게이트와 소스/드레인 사이의 전압 차가 상기 소정 전압보다 작도록 조절하고, 상기 패드로부터 상기 전원전압 측으로 전류 흐름을 방지하는 제2톨러런트 및 전류 흐름 방지 수단을 구비하는 입력버퍼를 구비하는 것을 특징으로 하는 반도체 장치의 입출력 회로.

【청구항 2】

제1항에 있어서, 상기 제어신호 발생수단은

파워 온시에 상기 패드로 상기 고전압이 유입되면 상기 전원전압 레벨의 상기 제1제어신호와 상기 접지전압 레벨의 상기 제2제어신호를 발생하고, 파워 오프시에 상기 패드로 상기 고전압이 유입되면 상기 전원전압과 거의 유사한 레벨의 상기 제1 및 제2제어신호들을 발생하는 제1 및 제2제어신호 발생회로; 및

파워 온 및 오프시에 상기 패드로 상기 고전압이 유입되면 상기 고전압 레벨의 상기 제3제어신호를 발생하는 제3제어신호 발생회로를 구비하는 것을 특징으로 하는 반도체 장치의 입출력 회로.

【청구항 3】

제2항에 있어서, 상기 제1 및 제2제어신호 발생회로는

상기 전원전압과 제4노드사이에 직렬 연결되고 각각의 게이트가 상기 제2제어신호와 상기 전원전압에 연결되고 기판이 상기 제1제어신호에 연결된 제1 및 제2PMOS트랜지스터들;

상기 제2제어신호와 상기 접지전압사이에 연결되고 게이트가 상기 전원전압에 연결된 제1NMOS트랜지스터;

상기 제2제어신호와 상기 제1제어신호사이에 연결되고 게이트가 상기 전원전압에 연결되고 기판이 상기 제1제어신호에 연결된 제3PMOS트랜지스터; 및
상기 패드의 전압이 상기 제4노드의 전압보다 높은 경우에 상기 패드의 전압을 강화하는 제1전압 강하 회로를 구비하는 것을 특징으로 하는 반도체 장치의 입출력 회로.

【청구항 4】

제2항에 있어서, 상기 제3제어신호 발생회로는
상기 전원전압과 상기 패드사이에 직렬 연결되고 각각의 게이트가 제5노드, 상기 패드, 및 상기 제1제어신호에 연결되고 각각의 기판이 상기 제3제어신호에 연결된 제4, 5, 및 6PMOS트랜지스터들;
상기 제5노드와 상기 제1제어신호사이에 연결되고 게이트가 상기 전원전압에 연결되고 기판이 상기 제4 및 5PMOS트랜지스터들의 공통점에 연결된 제7PMOS트랜지스터; 및
상기 제5노드와 상기 접지전압사이에 연결되고 게이트가 상기 전원전압에 연결된 제2NMOS트랜지스터를 구비하는 것을 특징으로 하는 반도체 장치의 입출력 회로.

【청구항 5】

제1항에 있어서, 상기 프리 드라이버는
상기 제1톨러런트 및 전류 흐름 방지 수단을 제어하기 위한 제 1, 제 2, 및 제 3 신호들을 발생하는 것을 특징으로 하는 반도체 장치의 입출력 회로.

【청구항 6】

제5항에 있어서, 상기 제1톨러런트 및 전류 흐름 방지 수단은

상기 제2제어신호에 응답하여 파워 온시에는 온되어 제6노드로 상기 전원전압을 전송하는 스위칭 트랜지스터, 상기 제6노드와 제7노드사이에 연결되고 게이트가 상기 제1신호에 연결되고 기판이 상기 제3제어신호에 연결되는 제6풀업 트랜지스터, 및 상기 제7노드와 상기 접지전압사이에 연결되고 게이트가 상기 제1신호에 연결되는 제4풀다운 트랜지스터를 구비한 제1 드라이버;

상기 전원전압과 상기 접지전압사이에 직렬 연결되고 각각의 게이트가 상기 제3신호에 연결된 제7풀업 트랜지스터 및 제5풀다운 트랜지스터를 구비한 제2 드라이버;

상기 전원전압과 제8노드사이에 연결된 역방향 다이오우드, 상기 제8노드와 제9노드사이에 연결되고 게이트가 상기 제2신호에 연결되고 기판이 상기 제3제어신호에 연결된 제8풀업 트랜지스터, 제10노드와 상기 접지전압사이에 연결되고 게이트가 상기 제2신호에 연결된 제6풀다운 트랜지스터, 및 상기 제9노드와 상기 제10노드사이에 직렬 연결되고 게이트가 상기 제1제어신호에 연결되어 제11노드에 신호를 전송하는 제1 및 제2전송 트랜지스터들을 구비한 제3 드라이버;

상기 제7노드와 상기 제1제어신호사이에 연결되고 게이트가 상기 전원전압에 연결되고 기판이 상기 제3제어신호에 연결되어 파워 오프시에 상기 제7노드의 전압을 상기 전원전압과 거의 유사한 레벨로 만드는 제1트랜지스터;

상기 제11노드와 상기 패드사이에 연결되고 게이트가 상기 제1제어신호에 연결되고 기판이 상기 제3제어신호에 연결되어 파워 온 및 오프시에 상기 패드의 상기 고전압을 상기 제11노드로 전송하는 제2트랜지스터;

상기 패드의 상기 고전압을 낮추는 제2전압 강하 회로; 및

상기 제1 및 2풀업 트랜지스터들의 공통점과 상기 제2전압 강하 회로사이에 연결되고 게이트가 상기 제2신호에 연결되고 기판이 상기 제3제어신호에 연결되어 파워 온 및 오프시에 상기 패드로 상기 고전압이 유입되면 상기 제1 및 제2풀업 트랜지스터들의 공통점의 전압을 낮추는 제3트랜지스터를 구비하는 것을 특징으로 하는 반도체 장치의 입출력 회로.

【청구항 7】

제6항에 있어서, 상기 스위칭 트랜지스터는 PMOS트랜지스터인 것을 특징으로 하는 반도체 장치의 입출력 회로.

【청구항 8】

제6항에 있어서, 상기 역방향 다이오우드는 PMOS트랜지스터로 구성된 것을 특징으로 하는 반도체 장치의 입출력 회로.

【청구항 9】

제6항에 있어서, 상기 제1 및 제2전송 트랜지스터들 각각은 NMOS트랜지스터인 것을 특징으로 하는 반도체 장치의 입출력 회로.

【청구항 10】

제6항에 있어서, 상기 제1 내지 제3트랜지스터들 각각은 PMOS트랜지스터인 것을 특징으로 하는 반도체 장치의 입출력 회로.

【청구항 11】

제1항에 있어서, 상기 제2톨러런트 및 전류 흐름 방지 수단은 상기 제3노드와 상기 접지전압사이에 연결되고 게이트가 상기 전원전압에 연결되어 파워 온시에 상기 제3노드를 상기 접지전압 레벨로 만드는 제4트랜지스터; 상기 제3노드와 상기 제1노드사이에 직렬 연결되고 각각의 게이트가 상기 전원전압에 연결되고 각각의 기판이 상기 제3제어신호에 연결되고 공통점이 상기 제3 및 4PMOS풀업 트랜지스터들의 공통점에 연결되어 파워 오프시에 상기 제3노드 및 상기 제3 및 4풀업 트랜지스터들의 공통점으로 상기 제1노드의 전압을 전송하는 제5 및 6트랜지스터들; 및 상기 제4 및 5풀업 트랜지스터들의 공통점과 상기 제1노드사이에 연결되고 게이트가 상기 전원전압에 연결되고, 기판이 상기 제3제어 신호에 연결되어 파워 오프시에 상기 제4 및 5풀업 트랜지스터들의 공통점으로 상기 제1노드의 전압을 전송하는 제7트랜지스터를 구비하는 것을 특징으로 하는 반도체 장치의 입출력 회로.

【청구항 12】

제11항에 있어서, 상기 제4트랜지스터는 NMOS트랜지스터로 구성된 것을 특징으로 하는 반도체 장치의 입출력 회로.

【청구항 13】

제11항에 있어서, 상기 제5 내지 제7트랜지스터들 각각은 PMOS트랜지스터로 구성된 것을 특징으로 하는 반도체 장치의 입출력 회로.

【청구항 14】

패드를 통하여 고전압이 유입되면 파워 온시에 전원전압 레벨의 제1제어신호, 접지 전압 레벨의 제2제어신호, 및 상기 고전압 레벨의 제3제어신호를 발생하고, 파워 오프시에는 상기 전원전압과 거의 유사한 레벨의 상기 제1 및 제2제어신호들, 및 상기 고전압 레벨의 상기 제3제어신호를 발생하는 제어신호 발생수단; 및

상기 전원전압과 상기 패드사이에 직렬 연결된 제1 및 제2풀업 트랜지스터들과 상기 패드와 상기 접지전압사이에 직렬 연결된 제1 및 제2풀다운 트랜지스터들, 출력 인에 이블 신호가 인에이블 상태이면 입력 신호에 응답해서 상기 패드를 풀업/다운 하고, 상기 출력 인에이블 신호가 디스에이블 상태이면 상기 제1 및 제2풀업 트랜지스터들과 상기 제1 및 제2풀다운 트랜지스터들을 오프하는 프리 드라이버, 및 파워 온 및 오프시에 상기 패드로 상기 고전압이 유입되면 상기 제1, 제2, 및 제3제어신호들에 응답하여 상기 제1 및 제2풀업 트랜지스터들과 상기 제1 및 제2풀다운 트랜지스터들의 게이트와 소스/드레인 사이의 전압 차가 소정 전압보다 작도록 조절하고, 상기 패드로부터 상기 전원전압 측으로 전류 흐름을 방지하는 톨러런트 및 전류 흐름 방지 수단을 구비하는 출력버퍼를 구비하는 것을 특징으로 하는 반도체 장치의 출력회로.

【청구항 15】

제14항에 있어서, 상기 프리 드라이버는
상기 톨러런트 및 전류 흐름 방지 수단을 제어하기 위한 제 1, 제 2, 및 제 3 신호들을 발생하는 것을 특징으로 하는 반도체 장치의 출력 회로.

【청구항 16】

제15항에 있어서, 상기 툴러런트 및 전류 흐름 방지 수단은
상기 제2제어신호에 응답하여 파워 온시에는 온되어 제1노드로 상기 전원전압을
전송하는 스위칭 트랜지스터, 상기 제1노드와 제2노드사이에 연결되고 게이트가 상기 제
1신호에 연결되고 기판이 상기 제3제어신호에 연결되는 제3풀업 트랜지스터, 및 상기 제
2노드와 상기 접지전압사이에 연결되고 게이트가 상기 제1신호에 연결되는 제3풀다운 트
랜지스터를 구비한 제1 드라이버;
상기 전원전압과 상기 접지전압사이에 직렬 연결되고 각각의 게이트가 상기 제3신
호에 연결된 제4풀업 트랜지스터 및 제4풀다운 트랜지스터를 구비한 제2 드라이버;
상기 전원전압과 제3노드사이에 연결된 역방향 다이오우드, 상기 제3노드와 제4노
드사이에 연결되고 게이트가 상기 제2신호에 연결되고 기판이 상기 제3제어신호에 연결
된 제5풀업 트랜지스터, 제5노드와 상기 접지전압사이에 연결되고 게이트가 상기 제2신
호에 연결된 제5풀다운 트랜지스터, 및 상기 제4노드와 상기 제5노드사이에 직렬 연결되
고 게이트가 상기 제1제어신호에 연결되어 제6노드에 신호를 전송하는 제1 및 제2전송
트랜지스터들을 구비한 제3 드라이버;

상기 제2노드와 상기 제1제어신호사이에 연결되고 게이트가 상기 전원전압에 연결
되고 기판이 상기 제3제어신호에 연결되어 파워 오프시에 상기 제2노드의 전압을 상기
전원전압과 거의 유사한 레벨로 만드는 제1트랜지스터;

상기 제6노드와 상기 패드사이에 연결되고 게이트가 상기 제1제어신호에 연결되고 기판이 상기 제3제어신호에 연결되어 파워 온 및 오프시에 상기 패드의 상기 고전압을 상기 제6노드로 전송하는 제2트랜지스터;

상기 패드의 상기 고전압을 낮추는 전압 강하 회로; 및
상기 제1 및 2풀업 트랜지스터들의 공통점과 상기 전압 강하 회로사이에 연결되고
게이트가 상기 제2신호에 연결되고 기판이 상기 제3제어신호에 연결되어 파워 온 및 오프시에 상기 패드로 상기 고전압이 유입되면 상기 제1 및 제2풀업 트랜지스터들의 공통점의 전압을 낮추는 제3트랜지스터를 구비하는 것을 특징으로 하는 반도체 장치의 출력회로.

【청구항 17】

제16항에 있어서, 상기 스위칭 트랜지스터는
PMOS트랜지스터인 것을 특징으로 하는 반도체 장치의 출력 회로.

【청구항 18】

제16항에 있어서, 상기 역방향 다이오우드는
PMOS트랜지스터로 구성된 것을 특징으로 하는 반도체 장치의 출력 회로.

【청구항 19】

제16항에 있어서, 상기 제1 및 제2전송 트랜지스터들 각각은
NMOS트랜지스터인 것을 특징으로 하는 반도체 장치의 출력 회로.

【청구항 20】

제16항에 있어서, 상기 제1 내지 제3트랜지스터들 각각은 PMOS트랜지스터인 것을 특징으로 하는 반도체 장치의 출력 회로.

【청구항 21】

패드를 통하여 고전압이 유입되면 파워 온시에 전원전압 레벨의 제1제어신호, 및 상기 고전압 레벨의 제2제어신호를 발생하고, 파워 오프시에는 상기 전원전압과 거의 유사한 레벨의 상기 제1 제어신호 및 상기 고전압 레벨의 상기 제2제어신호를 발생하는 제어신호 발생수단; 및

상기 제1제어신호에 응답하여 상기 패드로부터 입력되는 신호를 제1노드로 전송하는 전송 게이트와 상기 전원전압과 제2노드사이에 직렬 연결되고 각각의 게이트가 제3노드, 상기 패드, 및 상기 제1노드에 연결된 제1, 2, 및 3풀업 트랜지스터들, 상기 제2노드와 접지전압사이에 연결되고 게이트가 상기 제1노드에 연결된 제1풀다운 트랜지스터, 및 파워 온 및 오프시에 상기 패드로 고전압이 유입되면 상기 제1 및 제2제어신호들에 응답하여 상기 제1, 2, 및 3풀업 트랜지스터들과 상기 제1풀다운 트랜지스터의 게이트와 소스/드레인 사이의 전압 차가 상기 소정 전압보다 작도록 조절하고, 상기 패드로부터 상기 전원전압 측으로 전류 흐름을 방지하는 툴러런트 및 전류 흐름 방지 수단을 구비하는 입력버퍼를 구비하는 것을 특징으로 하는 반도체 장치의 입력 회로.

【청구항 22】

제21항에 있어서, 상기 툴러런트 및 전류 흐름 방지 수단은

상기 제3노드와 상기 접지전압사이에 연결되고 게이트가 상기 전원전압에 연결되어 파워 온시에 상기 제3노드를 상기 접지전압 레벨로 만드는 제1트랜지스터;
상기 제3노드와 상기 제1노드사이에 직렬 연결되고 각각의 게이트가 상기 전원전압에 연결되고 각각의 기판이 상기 제2제어신호에 연결되고 공통점이 상기 제1 및 2PMOS 풀업 트랜지스터들의 공통점에 연결되어 파워 오프시에 상기 제3노드 및 상기 제1 및 2풀업 트랜지스터들의 공통점으로 상기 제1노드의 전압을 전송하는 제2 및 3트랜지스터들; 및

상기 제2 및 3풀업 트랜지스터들의 공통점과 상기 제1노드사이에 연결되고 게이트가 상기 전원전압에 연결되고, 기판이 상기 제2제어 신호에 연결되어 파워 오프시에 상기 제2 및 3풀업 트랜지스터들의 공통점으로 상기 제1노드의 전압을 전송하는 제4트랜지스터를 구비하는 것을 특징으로 하는 반도체 장치의 입력 회로.

【청구항 23】

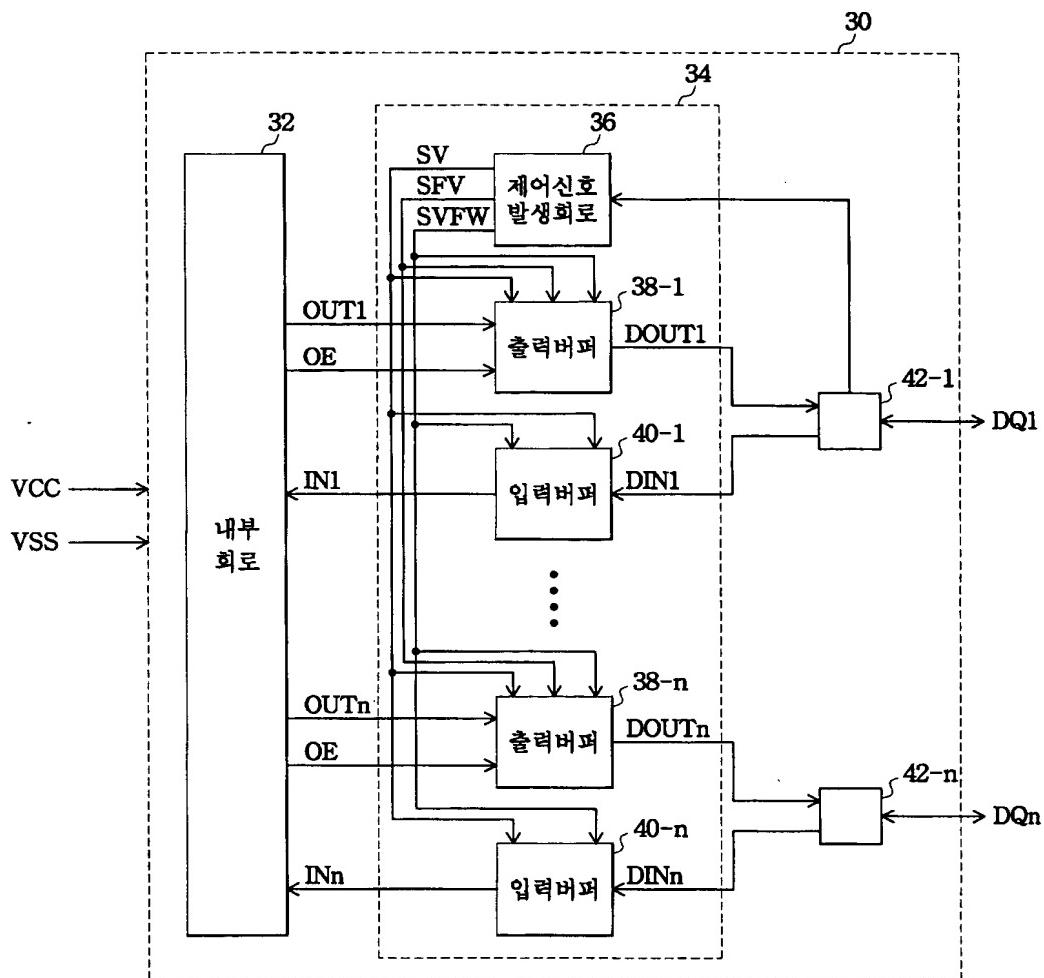
제21항에 있어서, 상기 제1트랜지스터는 NMOS트랜지스터로 구성된 것을 특징으로 하는 반도체 장치의 입력 회로.

【청구항 24】

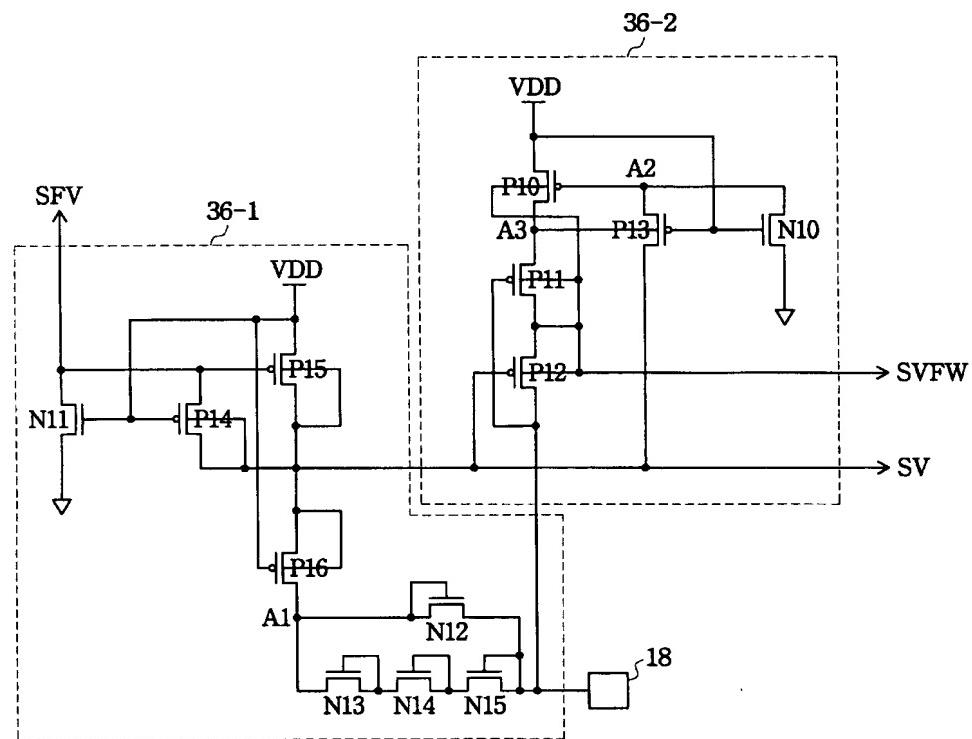
제21항에 있어서, 상기 제2 내지 제4트랜지스터들 각각은 PMOS트랜지스터로 구성된 것을 특징으로 하는 반도체 장치의 입력 회로.

【도면】

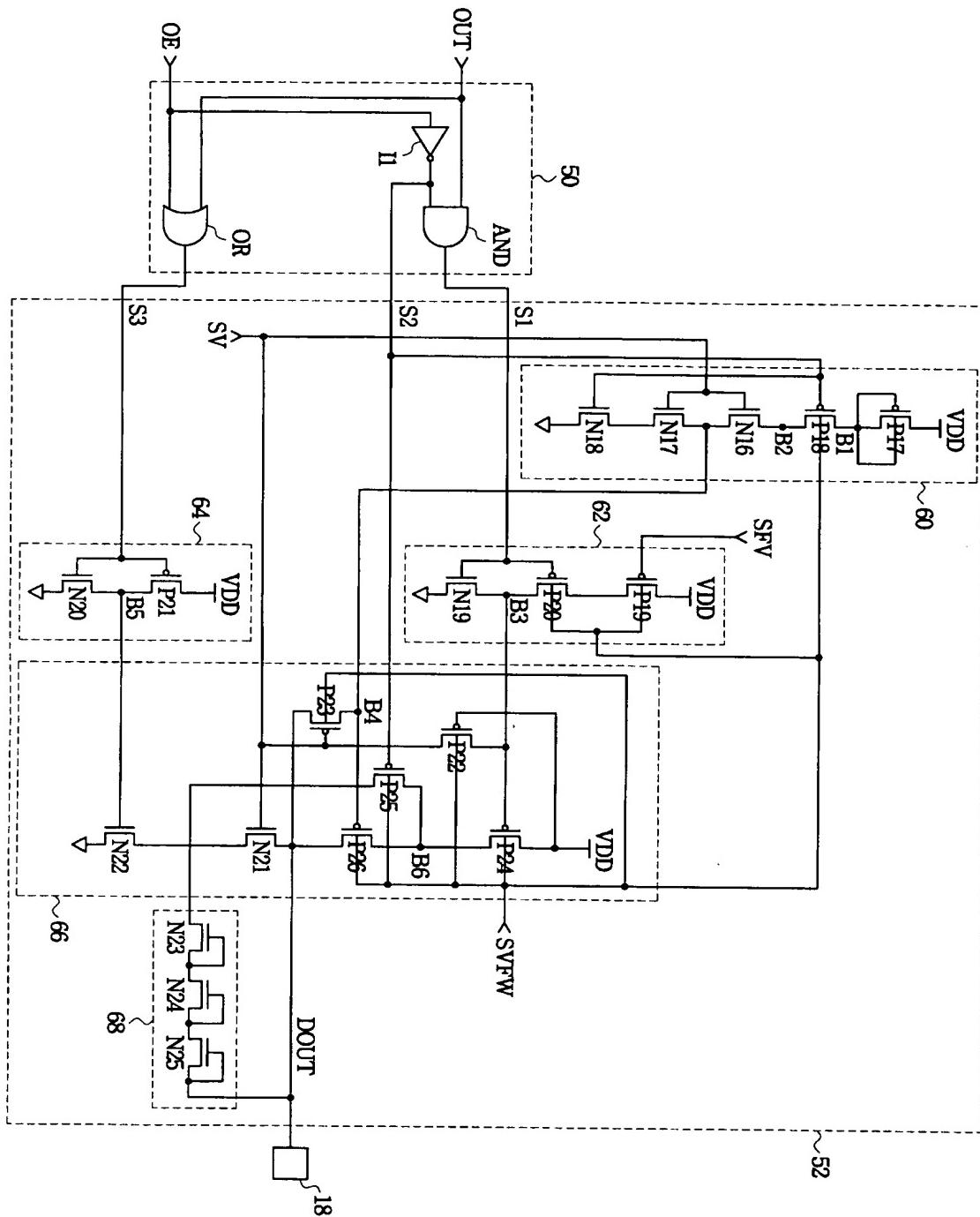
【도 1】



【도 2】



【도 3】



【도 4】

